

(19) 日本国特許庁 (JP)

(12) 特許公報 (B2)

(11) 特許出願公告番号

特公平7-70214

(24) (44) 公告日 平成7年(1995)7月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 11 C 11/403

G 11 C 11/34

371 J

発明の数1(全7頁)

(21) 出願番号 特願昭61-272145

(71) 出願人 99999999

三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

(22) 出願日 昭和61年(1986)11月14日

(72) 発明者 角正

兵庫県伊丹市瑞原4丁目1番地 三菱電機

(65) 公開番号 特開昭63-127492

株式会社北伊丹製作所内

(43) 公開日 昭和63年(1988)5月31日

(74) 代理人 弁理士 高田守(外1名)

審査官 松野高尚

(56) 参考文献 特開 昭56-68989 (JP, A)

特開 昭61-258391 (JP, A)

(54) 【発明の名称】 半導体記憶装置

1

【特許請求の範囲】

【請求項1】 1個のトランジスタと1個の容量からなるダイナミック形のメモリセルと、このメモリセルに読み出しおよび書き込みを行う周辺回路を備え、アドレス信号の変化を検出して前記周辺回路を制御する信号を発生する方式のダイナミックRAMであつて、アドレスの変化が短時間の間隔で続き、最初のアドレス変化による内部動作が完了するまでに次のアドレス変化が印加された際、2回目以降のアドレス変化の情報を内部に一時記憶しておき、最初のアドレス変化による内部動作が完了してから2回目以降のアドレス変化に対応する内部動作を開始し得るようにしたことを特徴とする半導体記憶装置。  
10

【発明の詳細な説明】

【産業上の利用分野】

2

この発明はダイナミック形のメモリセルと、アドレス信号の変化を検出して動作を開始する周辺回路とからなる疑似スタチックRAMにおいて、アドレス信号にノイズなどが印加されても安定に動作する半導体記憶装置に関するものである。

【従来の技術】

半導体RAMを大別すると、スタチックRAMとダイナミックRAMとに分類できる。

そして、前者のスタチックRAMはフリップフロップ回路をメモリセルの基本構造とし、その記憶の安定性を生かして使い易さを重点に製品が設計されている。そのため、通常外部クロックを必要とせず、単に複数のアドレス信号の信号レベルの組合せを与えるだけで、所望の番地にアクセスできるように構成されている。

一方、後者のダイナミックRAMはコンデンサの電荷の有

無で記憶を行い、メモリセルをアクセスするには複雑な内部動作を必要とする。この内部動作をコントロールするためには通常外部クロツクを必要としている。そして、このダイナミックRAMのメモリセルはスタチックRAMより簡単であり面積を必要としないため同一容量ならばダイナミックRAMの方がチップ面積が小さくて安く製造できるという利点がある。

つまり、スタチックRAMは使い易いが価格が高い、一方、ダイナミックRAMは使いにくいが価格が安いという相反した性格を持つている。

しかしながら、最近、スタチックRAMとダイナミックRAMの両者の利点を組合せて、見かけ上はスタチックRAMであるが中味はダイナミックRAMであるという製品が提案され始めている。つまり、ピン配置、信号系はスタチックRAMと同一であり、外部クロツクを使用しないが、メモリセルはダイナミックRAMであり、内部的にはクロツクを用いるというものである。

この中間形のRAM（通常、疑似スタチックRAMと呼称される）構成例、すなわち、従来の半導体記憶装置の一例を第3図に示し、その第3図の動作説明に供するタイムチャートを第4図に示す。

第3図において、メモリセル71～7nとセンスアンプ91～9nおよび行デコーダ5ならびに列デコーダ10などの基本構成は通常のダイナミックRAMと同一である。そして、異なる点は、アドレス変化検出回路21, 22～2nと、それに続くパルス発生回路3が存在する点である。

そして、スタチックRAMの信号系ではクロツクは存在せず、アドレス信号の“H”レベル、 “L”レベルの組合せでメモリセルが選択される。したがつて、その組合せが変化したときが次のアクセスの開始となる。この時、少くとも一つのアドレス信号が“H”から“L”あるいは“L”から“H”へ変化するので、この変化を検出してパルスを発生して、ダイナミックRAMに必要なクロツクのかわりをさせようとするのがアドレス変化検出回路21～2nとパルス発生回路3である。

4はタイミング発生回路、6はダミーデコーダ、81～8nはそれぞれビット線BL1～BLnの寄生容量である。また、Vccは電源を示し、WLはワードライン、DWLはダミーワードラインを示す。

そして、メモリセル71～7nはそれぞれ1個のトランジスタと1個の容量からなるダイナミック形のメモリセルであり、また、行デコーダ5およびセンスアンプ91～9nはメモリセル71～7nに読み出しおよび書き込みを行う周辺回路を構成している。

つぎにこの第3図に示す回路の動作の第4図を参照して説明する。

第4図の(a)はアドレス信号を示したものであり、(b)はパルス発生回路3によって発生するパルス $\phi_D$ 、(c)、(d)、(e)はタイミング発生回路4によって発生する信号 $\phi_WL$ 、 $\phi_SA$ 、 $\phi_P$ 、(f)はメモリ

セル電圧、(g)はビット線BL1～BLnにおける電位、(h)は出力を示したものである。

まず、行アドレス信号 $11, 12 \dots 1n$ が第4図(a)に示すように変化すると、アドレス変化検出回路21～2nがその変化を検出して信号を発生する。そして、パルス発生回路3は複数個の行アドレス信号 $11, 12 \dots 1n$ のアドレス変化検出回路 $21, 22 \dots 2n$ からの信号を受け、一つでも信号があるとパルス $\phi_D$ （第4図(b)参照）を発生する。このパルス $\phi_D$ をもとに、内部の種々のタイミングがタイミング発生回路4で発生される。

ここで、通常のダイナミックRAMでは、このパルス $\phi_D$ にあたるものが外部クロツクとして外部から与えられるが、疑似スタチックRAMではアドレス信号の変化をもとにチップ内部で発生するようにしている点が最大の相違である。

さて、このパルス $\phi_D$ をもとに種々のタイミングが発生される。まず、信号 $\phi_P$ （第4図(e)参照）が“H”から“L”になり、ビット線BL1～BLnのプリチャージトランジスタがオフし、ビット線BL1～BLnにメモリセル71～7nのデータを受けとる準備が完了する。つぎに、信号 $\phi_WL$ （第4図(c)参照）が“L”から“H”になり、これにより行デコーダ5を通じワードラインWLが“L”から“H”になり、メモリセル71～7nのデータがビット線BL1～BLnに接続される。このとき、ビット線BL1～BLnの電圧はメモリセル71～7nの記憶内容が“H”的ときはそのまま“H”になり、記憶内容が“L”的ときは“H”よりわずかに下がった電圧になる。この電圧降下は寄生容量81～8nとメモリセル71～7nの容量値との比で決定され、通常は200mV程度の値である。このとき、メモリセル71～7nの電圧はビット線BL1～BLnと同一電圧になる。

つぎに、信号 $\phi_SA$ （第4図(d)参照）が“L”から“H”になると、センスアンプ91～9nが動作し、上記200mVの電位差を增幅し、“H”は“H”に“L”は完全な“L”まで増幅する。ここで、指摘をしておかねばならないことは、ワードラインWLが“H”になりメモリセル71～7nのデータがビット線BL1～BLnに接続されてからセンスアンプ91～9nで増幅されるまでの期間は、メモリセル71～7nの“L”的電圧が極めて高い値になつていていることである。つまり、この期間ではメモリセルのデータは一旦破壊された、いわゆる、破壊読み出しの状態になつていてしまう。

さて、センスアンプ91～9nで増幅された信号は列デコーダ10により選択され、出力回路12を通じて出力される。このように、行デコーダ5以後の動作は通常のダイナミックRAMと全く同一である。なお、111～112～11nは列デコーダ10に供給される列アドレス信号を示し、13は出力回路12の出力（第4図(h)参照）である。

〔発明が解決しようとする問題点〕

上記のような従来の半導体記憶装置、すなわち、このような疑似スタチックRAMにおいては、スタチックRAM特有

の使用上の制約を考慮に入れなければならない。既に述べたように、ダイナミックRAMの動作中には一旦メモリセルのデータが破壊される期間が存在する。したがつて、もし万が一この期間に動作が打ち切られたとすると、メモリセルのデータが破壊されたままになってしまう。したがつて、一旦動作が開始されたら、センスアンプでの増幅が完了するまでは絶対に動作を打ち切つてはならない。そのため、通常のダイナミックRAMでは外部クロツクの幅に厳密な規定を設け、使用する側はその規定を守るのが絶対条件になっている。ところが、スタチックRAMではアドレス信号の制約の規定が緩いため、これをもとに内部クロツクを作ると、そのクロツクの幅がダイナミックRAMの条件を満たさずセルデータを破壊してしまうことがあり得るという問題点があつた。

第5図にスタチックRAM特有のアドレス信号の条件を示す、すなわち、スタチックRAMでのアドレス信号の考え得る例を示す。

図において、(a) はアドレス信号の間に“ズレ”がある場合であり、この場合アドレス信号A<sub>1</sub>の変化で内部クロツクが開始されていた時、アドレス信号A<sub>2</sub>の変化により新しい開始がかかり、それまでのクロツクが打ち切られることになる。(b) は同一のアドレスではあるが、短かいサイクルでアドレスが変化した時であり、やはり途中で打ち切られることになる。(c) はアドレスにノイズ信号Nがのつたときの例である。ここで、第3図に示すアドレス変化検出回路はノイズも信号の変化としてとらえるため、やはり同様の結果となる。そして、

(a) ~ (c) もスタチックRAMの実使用状態では常に起こり得ることであるため、疑似スタチックRAMはこれらの条件でも誤動作しないように構成することが必要である。なお、(b), (c) のAはアドレス信号を表わす。

この発明は、かかる問題点を解決するためになされたもので、スタチックRAM特有の条件下でも安定に動作する疑似スタチックRAM、すなわち、半導体記憶装置を得ることを目的とする。

#### 〔問題点を解決するための手段〕

この発明による半導体記憶装置は、1個のトランジスタと1個の容量からなるダイナミック形のメモリセルと、このメモリセルに読み出しおよび書き込みを行う周辺回路を備え、アドレス信号の変化を検出して前記周辺回路を制御する信号を発生する方式のダイナミックRAMであつて、アドレスの変化が短時間の間隔で続き、最初のアドレス変化による内部動作が完了するまでに次のアドレス変化が印加された際、2回目以降のアドレス変化の情報を内部に一時記憶しておき、最初のアドレス変化による内部動作が完了してから2回目以降のアドレス変化に対応する内部動作を開始し得るようになしたものである。

#### 〔作用〕

この発明においては、最初動作中に次の動作命令を受け

10

20

30

40

50

ると、その命令をフラグ (Flag) 信号で記憶しておき、最初の動作が完了した時点で次の動作命令による際動作に移行する。

#### 〔実施例〕

以下、図面に基づきこの発明の実施例を詳細に説明する。

第1図はこの発明による半導体記憶装置の一実施例を示す構成図で、鎖線で囲んだ部分がこの発明で追加された部分である。

この第1図において第3図と同一符号のものは相当部分を示し、14はRAMが動作に入ったことを示すファイビジー ( $\phi_{BUSY}$ ) 発生回路、15は動作の途中につぎの開始命令が入つたことを示すフラグ (Flag) 回路、16はタイミングをコントロールする遅延回路である。

そして、この第1図に示す実施例の半導体記憶装置は、アドレス信号の変化を検出して、メモリセルに読み出しおよび書き込みを行う周辺回路を制御する信号を発生する方式のダイナミックRAMであつて、アドレスの変化が短時間の間隔で続き、最初のアドレス変化による内部動作が完了するまでに次のアドレス変化が印加された際、2回目以降のアドレス変化の情報を内部に一時記憶しておき、最初のアドレス変化による内部動作が完了してから2回目以降のアドレス変化に対応する内部動作を開始するよう構成されている。

つぎにこの第1図に示す実施例の動作を第2図を参照して説明する。

第2図は第1図の動作説明に供するタイムチャートで、アドレス信号に短かいサイクルの信号が印加されたときの状態を示す。図において、(a) はアドレス信号Aを示したものであり、(b), (c), (d), (e), (f) はそれぞれパルス  $\phi_D$ , 信号  $\phi_{BUSY}$ , 信号  $\phi_{WL}$ , 信号  $\phi_{SA}$ , 信号  $\phi_P$ , (g) は信号Flagを示したものである。

まず、最初のアドレスの変化(第2図 (a) 参照)で第2図 (b) に示すような波形のパルス  $\phi_D$  が発生されると、このパルス  $\phi_D$  をもとに第2図 (c) に示すような波形の信号  $\phi_{BUSY}$  が発生される。この信号  $\phi_{BUSY}$  はRAMが動作状態になっていることを示す信号で、一旦発生されると、センスアンプ91~9nの動作が完了するまでは“H”になるように構成されている。

つぎに、この信号  $\phi_{BUSY}$  が“H”的とき、次のアドレス変化が印加されたとき、パルス  $\phi_D$  と信号  $\phi_{BUSY}$  の“H”をもとに第2図 (g) に示すような波形のフラグ (Flag) 信号が発生される。ここで、このFlag信号は次の動作開始命令を受けつけたことを示す信号である。

つぎに、最初のアドレス信号変化による動作が完了すると、信号  $\phi_{BUSY}$ , 信号  $\phi_{WL}$  (第2図 (d) 参照), 信号  $\phi_{SA}$  (第2図 (e) 参照), 信号Flag (第2図 (g) 参照) などは、“L”にセットされ、また、信号  $\phi_P$  (第2図 (f) 参照) は“H”にセットされ、動作は一旦完了する。つぎに、第2図 (g) に示す信号Flagが“L”になる

7

と、それが遅延回路16を通してファイビジー ( $\phi_{BUSY}$ ) 発生回路14およびタイミング発生回路4に伝えられ、動作が再びスタートする。ここで、この遅延回路16は、信号  $\phi_P$  の “H” の期間を確保して、リセットを確実にするためのものである。そして、第2図では、(a) に示すアドレス信号Aに短いサイクルの信号が印加されたときのみ示してあるが、アドレス信号間に “ズレ” がある場合やノイズがのつたときにも全く同様の動作を行う。

【発明の効果】

以上説明したように、この発明によれば、最初の動作中に次の動作命令を受けとると、その命令をフラグ (Flag) 信号で記憶しておき、最初の動作が完了した時点で次の動作命令による再動作に移るよう構成することにより、スタチックRAM特有の条件下でも安定に動作する \*

8

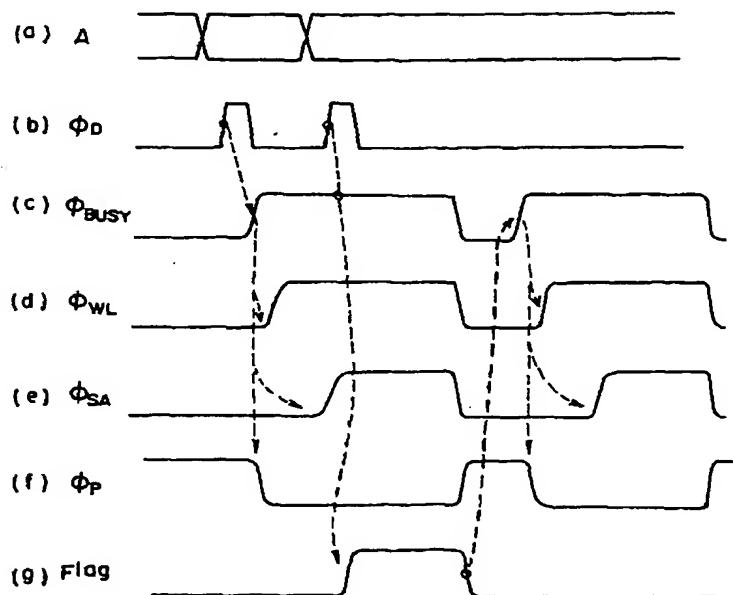
\* 疑似スタチックRAMが得られるので、実用上の効果は極めて大である。

【図面の簡単な説明】

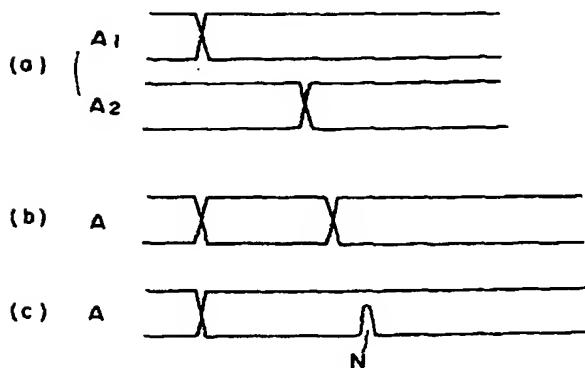
第1図はこの発明による半導体記憶装置の一実施例を示す構成図、第2図は第1図の動作説明に供するタイムチャート、第3図は従来の半導体記憶装置の一例を示す構成図、第4図は第3図の動作説明に供するタイムチャート、第5図はスタチックRAM特有のアドレス信号の条件を示す説明図である。

21～2n……アドレス変化検出回路、3……パルス発生回路、4……タイミング発生回路、5……行デコーダ、71～7n……メモリセル、91～9n……センスアンプ、10……列デコーダ、14……ファイビジー発生回路、15……フラグ回路、16……遅延回路。

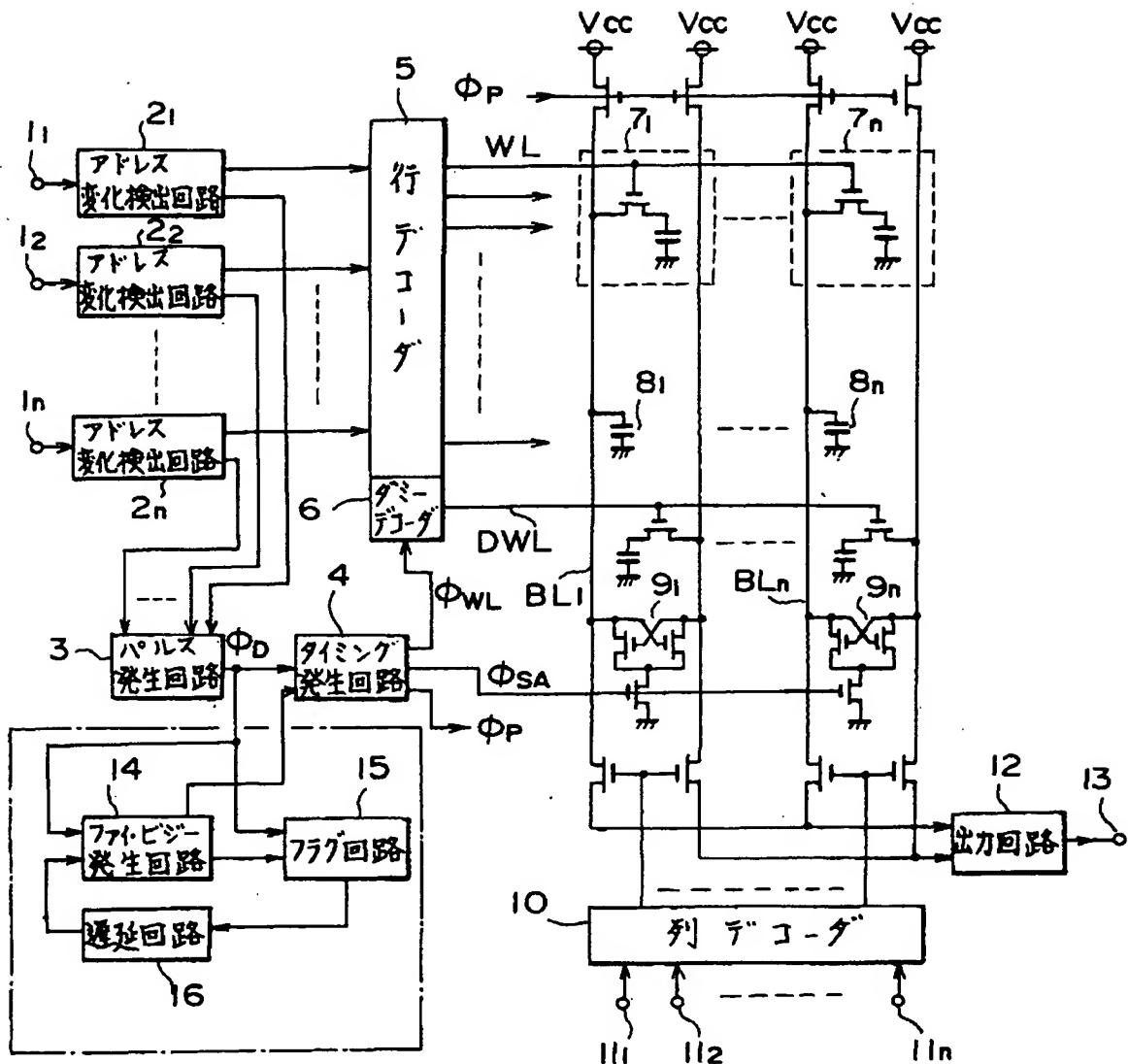
【第2図】



【第5図】



【第1図】



21～2n: アドレス変化検出回路

3: パルス発生回路

4: タイミング発生回路

5: 行デコーダ

71～7n: メモリセル

91～9n: センスアンプ

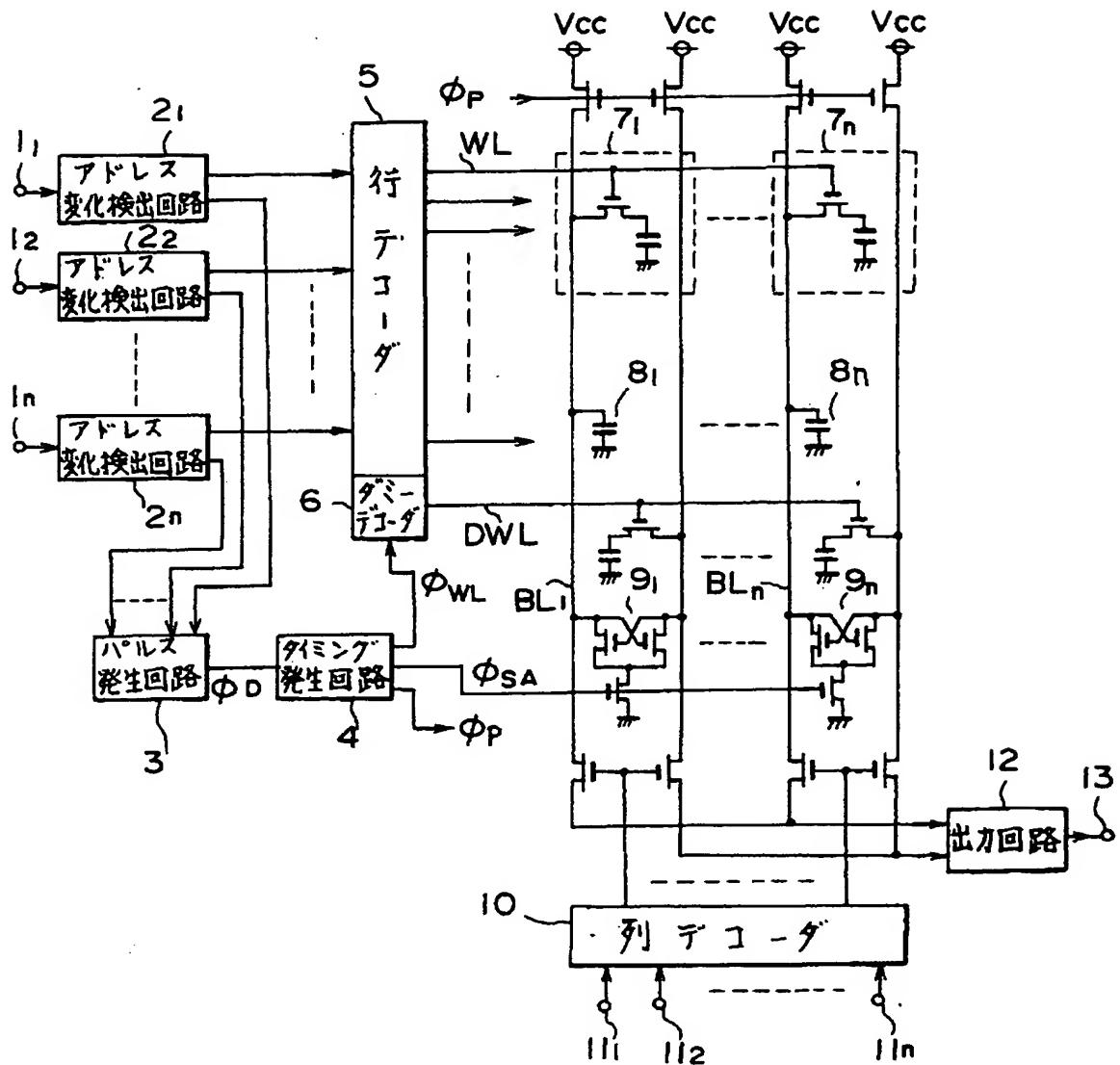
10: 列デコーダ

14: ファイビジ-発生回路

15: フラグ回路

16: 遅延回路

【第3図】



【第4図】

